

(19) Japanese Patent Office (JP)

(11) Publication Number: Japanese Patent Laid-Open No. H06-104281

(43) Date of Publication: April 15, 1994

(12) Laid-Open Disclosure Public Patent Bulletin (A)

5 (51) Int.Cl.<sup>5</sup> Identification Number F1

H 01L 21/336

29/784

G 02F 1/136 500 9018-2K

9056-4M H01L 29/78 311 Y

10 The Number of Claims: 1 (5 pages in total)

Request of Examination: not made

(21) Application number: H03-015252

(22) Date of filing: February 6, 1991

(71) Applicant: 000002369

15 SEIKO EPSON CORP.

2-4-1 Nishi Shinjuku, Shinjuku-ku, Tokyo, Japan

(72) Inventor: Takashi INOUE

c/o SEIKO EPSON CORP.

3-3-5 Owa, Suwa-shi, Nagano, Japan

20 (74) Representatives: Patent attorney:

Yoshizaburo SUZUKI and one other

(54) Title of the Invention: THIN FILM TRANSISTOR AND MANUFACTURING METHOD  
THEREOF

(57) [Abstract] (amended)

25 [Object]

The invention aims to open contact holes in insulating films formed by different methods and having different film thickness at the same time once.

[Constitution]

30 A method of manufacturing a thin film transistor of the invention is to form a silicon dioxide layer to become an interlayer insulating film at two steps by a chemical vapor deposition

BEST AVAILABLE COPY

method or a sputtering method. The invention is characterized in that a silicon dioxide layer 103 formed at the first time is annealed at a high temperature so as to make an etching rate of the film as the same as that of a silicon dioxide layer 107 to become a gate insulating film formed by thermal oxidation in order to open contact hole 110a to be opened over the source and the drain regions 101 and a contact hole 110b to be opened over a gate electrode 104 at the same time once and make them to have the same shapes and sizes.

# [Scope of Claims]

## [Claim 1]

10           A thin film transistor and a manufacturing method thereof, in an active matrix element using the thin film transistor formed over a glass substrate, characterized by comprising the steps of:

- a) forming a gate electrode, a gate line, and a capacitor line with polycrystalline silicon;
- b) forming a second silicon dioxide layer over the polycrystalline silicon layer by a  
15 chemical vapor deposition method or a sputtering method;
- c) annealing after forming the second silicon dioxide layer;
- d) patterning the annealed second silicon dioxide layer to expose a part of the gate line and the capacitor line;
- e) forming a metal layer next;
- 20           f) patterning in order that the metal layer remains in a part corresponding to the gate line and the capacitor line formed with the polycrystalline silicon layer;
- g) forming a third silicon dioxide layer by a chemical vapor deposition method or a sputtering method next; and
- h) conducting, at the same time, a step of opening a contact hole in order to form a  
25 leading out wiring from source and drain regions of the thin film transistor once in three layers of a first silicon dioxide layer to be a gate insulating film formed by a thermal oxidation method or the like, the second silicon dioxide layer which is thermally treated, and the third silicon dioxide layer, and a step of opening a contact hole in order to form a leading out wiring from a gate region once in two layers of the second silicon dioxide layer which is thermally treated, and the  
30 third silicon dioxide layer.

[Detailed Description of the Invention]

[0001]

[Industrial Field]

The present invention relates to a thin film transistor to drive a liquid crystal display  
5 device and the like, and a manufacturing method thereof.

[0002]

[Prior Art]

In the conventional thin film transistors and a manufacturing method thereof, a gate line,  
a capacitor line and a gate electrode of a transistor have been formed with polycrystalline silicon  
10 at the same time, thereafter a second silicon dioxide layer to be an interlayer insulating film is  
formed. Subsequently, in order to improve a film quality of the second silicon dioxide layer,  
annealing at a temperature of about 1000°C. After that in order to form a leading out wiring  
from source and drain regions, a contact hole is opened all at once in two layers of the annealed  
second silicon dioxide layer and a first silicon dioxide layer to be a gate insulating film formed  
15 by thermal oxidation, in addition, in order to form a leading out wiring from a gate region, a  
contact hole is opened in the annealed second silicon dioxide layer, at the same time.

[0003]

[Problems to be Solved by the Invention]

However, in the aforementioned conventional art, the gate line and the capacitor line are  
20 formed only with a polycrystalline silicon layer, therefore, the wiring resistance of the gate line  
and the capacitor line are relatively high, and the display characteristics of an active matrix  
element using a thin film transistor are not improved.

[0004]

In order to reduce resistance of the polycrystalline silicon layer as much as possible,  
25 phosphorus is usually introduced by thermal diffusion. However, in a case where a thickness of  
the polycrystalline silicon layer is 5000 angstrom, the sheet resistance of the film is limited to 15  
 $\Omega/\square$ . In order to realize to enlarge a liquid crystal display panel and to progress high  
definition of a liquid crystal display panel from now on to, it is required to reduce the wiring  
resistance of the gate line and the capacitor line. Therefore, there is a method in which metal is  
30 formed over the gate line and the capacitor line formed of the polycrystalline silicon layer, and

the wiring resistance of the gate line and the capacitor line is reduced. In the aforementioned method, in order that a second silicon dioxide layer to be an interlayer insulating film is formed over the metal layer and annealing at a temperature of about 1000°C is performed to improve the film quality of the second silicon dioxide layer. Then, there are problems that the wiring resistance of the gate line and the capacitor line formed of the polycrystalline silicon layer and the metal layer is higher than the wiring resistance before reacting the polycrystalline silicon layer and the metal layer, since the polycrystalline silicon layer and the metal layer react to form metal silicide, and the metal layer is melted.

[0005]

Consequently, in order to solve the aforementioned problems, a method is considered for annealing the gate line and the capacitor line formed of the polycrystalline silicon layer and the metal layer at a lower temperature of 400°C to 700°C than a conventional temperature at which a metal silicide is not formed or a metal layer does not melt. However, in the aforementioned method, a second contact hole in order to take out a wire from a gate electrode only in the second silicon dioxide layer which has an etching rate was three to five times faster than that of the first silicon dioxide layer, has a size of about 1.5 to 2 times larger than a first contact hole which is opened in the first silicon dioxide layer with a thickness of about 1000 angstrom formed by a thermal oxidation method and the second silicon dioxide layer with a thickness of about 7000 angstrom at the same time in order to take out a wire from source and drain regions. Therefore, contact holes could not be opened with a uniform size in a substrate, so that miniaturization was difficult. In addition, there was a problem that the shape of the second contact hole was a reverse taper because of the bad adhesion between the polycrystalline silicon layer forming the gate electrode and the second silicon dioxide layer.

[0006]

In order to solve the aforementioned problems, the invention aims to reduce the wiring resistance of the gate line and the capacitor line, and to form the first contact hole and the second contact hole to have a uniform shape and size in the substrate.

[0007]

[Means for Solving the Problem]

A manufacturing method of the thin film transistor of the invention is a thin film

transistor and a manufacturing method thereof, in an active matrix element using the thin film transistor formed over a glass substrate, characterized by comprising the steps of:

a) forming a gate electrode, a gate line, and a capacitor line with polycrystalline silicon;

b) forming a second silicon dioxide layer over the polycrystalline silicon layer by a  
5 chemical vapor deposition method or a sputtering method;

c) annealing after forming the second silicon dioxide layer;

d) patterning the annealed second silicon dioxide layer and to expose a part of the gate  
line and the capacitor line;

e) forming a metal layer next;

10 f) patterning in order that the metal layer remains in a part corresponding to the gate line  
and the capacitor line formed with the polycrystalline silicon layer;

g) forming a third silicon dioxide layer by a chemical vapor deposition method or a  
sputtering method next; and

h) conducting, at the same time, a step of opening a contact hole in order to form a  
15 leading out wiring from source and drain regions of the thin film transistor once in three layers of  
a first silicon dioxide layer to be a gate insulating film formed by a thermal oxidation method or  
the like, the second silicon dioxide layer which is thermally treated, and the third silicon dioxide  
layer, and a step of opening a contact hole in order to form a leading out wiring from a gate  
region once in two layers of the second silicon dioxide layer which is thermally treated and the  
20 third silicon dioxide layer.

[0008]

[Embodiment]

Hereinafter, a description of the invention is made in detail based on Embodiment.

[0009]

25 FIGS. 1 to 5 are diagrams showing Embodiment of the invention in step order. In FIG.  
1, reference numeral 101 denotes a source or drain region and 102 denotes a channel portion,  
103 denotes a first silicon dioxide layer to be a gate insulating film formed by a thermal  
oxidation method or the like, and 104 denotes a gate electrode formed of polycrystalline silicon.  
Reference numeral 105a denotes a gate line formed of polycrystalline silicon and 106a denotes a  
30 capacitor line formed of polycrystalline silicon. 107 denotes a second silicon dioxide layer with a

thickness of 1000 to 3000 angstrom formed by a chemical vapor deposition method or a sputtering method. Subsequently, as shown in FIG. 2, in order that an electrical connection is made between a metal layer for reducing the wiring resistance of the gate line 105a and of the capacitor line 106a and a polycrystalline silicon layer constituting the gate line 105a and the capacitor line 106a, an opening 108 is opened below a place in which the gate line and the capacitor line are located in the second silicon dioxide layer 107. However, in a case of forming a line intersecting over the gate line 105 and the capacitor line 106, the opening 108 does not need to be opened in the intersection, since it causes disconnection of the intersecting line.

[0010]

Subsequently, metal is formed over an entire surface of a substrate, the metal layer is patterned by using the same exposure mask as that used when the opening 108 is opened as shown in FIG. 3. Reference numeral 105b denotes a gate line formed of metal, and 106b denotes a capacitor line formed of metal, each of which is electrically connected at the junction portion of the polycrystalline silicon layer which is located below them, therefore, two layers of 105a and 105b form a gate line, while two layers of 106a and 106b form a capacitor line. Accordingly, the line resistance of the gate line 105 and the capacitor line 106 is more decreased than those formed of only conventional polycrystalline silicon. However, in a place where the gate line 105 is over the channel 102 of a thin film transistor to be a gate electrode, dangling bonds of polycrystalline silicon in the channel 102 is eliminated, and hydrogenation which can improve on-current characteristics of the thin film transistor is impossible. Therefore, a metal layer to be the gate line 105b does not need to be formed. Subsequently, as shown in FIG. 4, a third silicon dioxide layer 109 is deposited with a thickness of 4000 to 7000 angstrom by a chemical vapor deposition method or a sputtering method, for improving film quality of the third silicon dioxide layer, annealing is performed at a temperature of 400 to 700°C at which the metal and polycrystalline silicon of the gate line 105 and the capacitor line 106 are not formed silicide or at which the metal is not melted. The annealing temperature varies depending on the kinds of metal used for the gate line 105 and the capacitor line 106. As long as silicide is not generated, or as long as the metal is not melted, as a high temperature as possible is preferable, since the film quality of the third silicon dioxide layer is improved.

[0011]

Subsequently, as shown in FIG. 5, a contact hole 110a to open three layers of the first silicon dioxide layer 103, the second silicon dioxide layer 107 and the third silicon dioxide layer 109 all at once in order to obtain a leading out wiring from the source and the drain regions 101, and a contact hole 110b to open two layers of the second silicon dioxide layer 107 and the third silicon dioxide layer 109 all at once in order to obtain a leading out wiring from the gate electrode 104 are opened by wet etching using hydrofluoric acid etching or by dry etching using a reactive ion etching system (RIE) at the same time.

[0012]

In the thin film transistor of the invention completed through the aforementioned steps, the etching rates of the first silicon dioxide layer 103 and the second silicon dioxide layer 107 are approximately equal, and both the contact holes 110a and 110b are opened all at once in both a layer with slow etching rate and a layer with fast etching rate. The layers with slow etching rate are the first silicon dioxide layer 103 and the second silicon dioxide layer 107 while the layer with fast etching rate is the third silicon dioxide layer 109. That is, the contact hole 110a is formed of the layer with slow etching rate with a thickness of 2000 to 4000 angstrom and the layer with fast etching rate with a thickness of 4000 to 7000 angstrom. The contact hole 110b is formed of the layer with slow etching rate with a thickness of 1000 to 3000 angstrom and the layer with fast etching rate with a thickness of 4000 to 7000 angstrom. Accordingly, since there are no great difference between film qualities of the layers to be opened, both the shape and the size of the contact holes 110a and 110b can be formed almost the same and can be miniaturized. In addition, the contact hole 110a is superior in degree of adhesion between two layers at the interface of the source and the drain regions 101 and the first silicon dioxide layer 103 formed by a thermal oxidation method or the like. Therefore, a reverse taper shape which may cause disconnection of the leading out wiring is not made. The interface of the gate electrode 104 and the second silicon dioxide layer 107 goes through an annealing step with a high temperature of 900 to 1000°C, therefore, in the contact hole 110b also, the adhesion between two layers is good and a reverse taper shape is not made. Further, in this step, although the number of steps of photolithography is increased compared to the conventional done, the number of exposure masks is not changed, therefore, additional cost for forming a new mask is not required.

[0013]

## [Effect of the Invention]

According to the invention described above, the resistance of the gate line and the capacitor line can be decreased, and the size and the shape of contact holes can be almost the same even in the case where the contact hole is opened over the source and the drain regions and in the case where the contact hole is opened over the gate electrode. Therefore, the miniaturization of the thin film transistor can be achieved. Accordingly, a thin film transistor with a larger size and high definition, which can improve the display characteristics of an active matrix, can be provided.

10

## [Brief Description of the Drawings]

[FIGS. 1, 2, 3, 4, and 5] Cross sectional diagrams showing each manufacturing step of a thin film transistor of the invention.

15

## [Description of the Numerals]

101: source or drain region

102: channel

20 103: first silicon dioxide layer

104: gate electrode

105: gate line

105a: gate line formed of a polycrystalline silicon layer

105b: gate line formed of a metal layer

25 106: capacitor line

106a: capacitor line formed of a polycrystalline silicon layer

106b: capacitor line formed of a metal layer

107: second silicon dioxide layer

108: opening of a second silicon dioxide layer

30 109: third silicon dioxide layer

110a: contact hole opened over a source or drain region

110b: contact hole opened over a gate electrode

[Amendment of Proceeding]

5 [Filing Date] December 2, 1993

[Amendment 1]

[Document Name of Object for Amendment] Specification

[Item Name of Object for Amendment] Brief Description of the Drawings

[Amendment Method] change

10 [Contents of Amendment]

[Brief Description of the Drawings]

[FIG. 1] A cross sectional diagram each manufacturing step of a thin film transistor of the invention.

15 [FIG. 2] A cross sectional diagram each manufacturing step of a thin film transistor of the invention.

[FIG. 3] A cross sectional diagram each manufacturing step of a thin film transistor of the invention.

[FIG. 4] A cross sectional diagram each manufacturing step of a thin film transistor of the invention.

20 [FIG. 5] A cross sectional diagram each manufacturing step of a thin film transistor of the invention.

[Description of the Numerals]

101: source or drain region

25 102: channel

103: first silicon dioxide layer

104: gate electrode

105: gate line

105a: gate line formed of a polycrystalline silicon layer

30 105b: gate line formed of a metal layer

106: capacitor line

106a: capacitor line formed of a polycrystalline silicon layer

106b: capacitor line formed of a metal layer

107: second silicon dioxide layer

5 108: opening of a second silicon dioxide layer

109: third silicon dioxide layer

110a: contact hole opened over a source or drain region

110b: contact hole opened over a gate electrode



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-104281

(43) 公開日 平成6年(1994)4月15日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
H01L 21/336		
29/784		
G02F 1/136	500	9018-2K
		9056-4M
		H01L 29/78
		311 Y

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-15252

(22) 出願日 平成3年(1991)2月6日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 孝

長野県諏訪市大和3丁目3番5号セイコー  
エプソン株式会社内

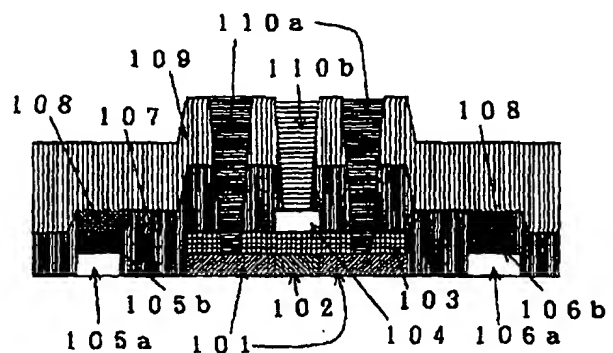
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜トランジスタとその製造方法

(57) 【要約】 (修正有)

【目的】 本発明は形成方法及び膜厚の異なる絶縁膜を、同時に一回でコンタクトホールをあけることである。

【構成】 本発明の薄膜トランジスタの製造方法は、化学気相成長法またはスパッタ法で層間絶縁膜になり二酸化珪素層を二回に分けて形成する。一回目に形成した二酸化珪素層103を高温でアニールすることで、該膜のエッチング速度をゲート絶縁膜となる熱酸化で形成した二酸化珪素層107と同じにし、ソース及びドレイン領域101上にあけるコンタクトホール110aとゲート電極104上にあけるコンタクトホール110bを一度で同時に開口し、かつ形状と大きさを同じにすることを特徴とする。



## 【特許請求の範囲】

【請求項1】 ガラス基板上に形成された薄膜トランジスタを用いたアクティブマトリックス素子において、

a) 多結晶珪素によりゲート電極、ゲート線及び容量線を形成する工程と、

b) 前記多結晶珪素層の上に、化学気相成長法またはスパッタ法で第二酸化珪素層を形成する工程と、

c) 前記第二酸化珪素層形成後にアニールする工程と、

d) 前記のアニール後の第二酸化珪素層をパターニングし、ゲート線及び容量線の一部を露出する工程と、

e) 次に、金属層を形成する工程と、

f) 前記金属層が、前記多結晶珪素層で形成されたゲート線及び容量線に対応する部分には残るようにパターニングをおこなう工程と、

g) 次に、化学気相成長法またはスパッタ法で第三酸化珪素層を形成する工程と、

h) 前記薄膜トランジスタのソース及びドレイン領域から引出し配線を形成するために、熱酸化法などにより形成されたゲート絶縁膜となるべき第一酸化珪素層と、前記の熱処理された第二酸化珪素層と、第三酸化珪素層の三層を一度でコンタクトホールを開口する工程と、ゲート領域から引出し配線を形成するために、前記の熱処理された第二酸化珪素層と、前記第三酸化珪素層の二層を一度でコンタクトホールを開口する工程を、同時に行なうことを特徴とする薄膜トランジスタとその製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置などを駆動する薄膜トランジスタとその製造方法に関する。

## 【0002】

【従来の技術】 従来の薄膜トランジスタとその製造方法は、多結晶珪素でゲート線と容量線及びトランジスタのゲート電極を同時に形成したのちに、層間絶縁膜となる第二酸化珪素層を形成する。次に、前記第二酸化珪素層の膜質向上のために、約1000℃の温度でアニールした後に、ソース及びドレイン領域から引出し配線を形成するために、前記のアニールされた第二酸化珪素層と熱酸化によって形成されたゲート絶縁膜となる第一酸化珪素層の二層を一度にコンタクトホールを開口することと、ゲート領域から引出し配線を形成するために、前記のアニールした第二酸化珪素層にコンタクトホールを開けることを同時に行なっていた。

## 【0003】

【発明が解決しようとする課題】 しかし、上記の従来の技術では、ゲート線及び容量線が多結晶珪素層だけで形成されているために、前記ゲート線及び容量線の配線抵抗が比較的高く、薄膜トランジスタを用いたアクティブマトリックス素子の表示特性が向上しなかった。

【0004】 通常、前記多結晶珪素層の抵抗をできるだけ低くするために、熱拡散によって燐を導入するが、前記多結晶珪素層の膜厚が5000Åのとき、該膜のシート抵抗は15Ω/□が限界である。今後の液晶表示パネルの大型化及び高精細化の進行を実現するためには、前記ゲート線及び容量線の配線抵抗の低下が必要である。そのために、前記多結晶珪素層からなるゲート線及び容量線の上に金属を形成して前記ゲート線及び容量線の配線抵抗を低下させる方法がある。前記方法において、前記金属層の上に層間絶縁膜となる第二酸化珪素層を形成し、前記第二酸化珪素層の膜質を向上させるために、約1000℃のアニールを行なうと、多結晶珪素層と金属層からなる前記ゲート線及び容量線が、前記多結晶珪素層と前記金属層が反応して金属シリサイドが生じるために配線抵抗が、前記多結晶珪素層と前記金属層が反応する前より高くなること、及び、前記金属層が溶融することがあるという問題点がある。

【0005】 そこで、前記問題点を解決するために、前記多結晶珪素層と金属層からなるゲート線及び容量線において、金属シリサイドが形成されないか金属層が溶融しないような400℃～700℃の従来より低い温度でアニールする方法が考えられる。しかし、前記方法においては、膜厚約1000Åの熱酸化法で形成された第一酸化珪素層と膜厚約7000Åの第二酸化珪素層を同時にあけるソース及びドレイン領域からの配線を取り出すための第一コンタクトホールより、前記第一酸化珪素層よりエッチング速度が3～5倍速い前記第二酸化珪素層だけにあけるゲート電極からの配線を取り出すための第二コンタクトホールは約1.5～2倍の大きさになり、基板内に均一な大きさのコンタクトホールをあけることができないために微細化が難しかった。また、第二コンタクトホールの形状は、ゲート電極を形成する多結晶珪素層と第二酸化珪素層の密着が悪いために、逆テーパーになるという問題点があった。

【0006】 以上の問題点をなくすために、本発明では、前記ゲート線及び容量線の配線抵抗を低下させ、かつ、前記第一コンタクトホールと前記第二コンタクトホールの形状と大きさを基板内で均一に形成することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明の薄膜トランジスタの製造方法は、ガラス基板上に形成された薄膜トランジスタを用いたアクティブマトリックス素子において、

a) 多結晶珪素によりゲート電極、ゲート線及び容量線を形成する工程と、

b) 前記多結晶層の上に、化学気相成長法またはスパッタ法で第二酸化珪素層を形成する工程と、

c) 前記第二酸化珪素層形成後にアニールする工程と、

d) 前記のアニール後の第二酸化珪素層をパターニン

グし、ゲート線及び容量線の一部を露出する工程と、  
 e) 次に、金属層を形成する工程と、  
 f) 前記金属層が、前記多結晶珪素層で形成されたゲート線及び容量線に対応する部分には残るようにパターニングをおこなう工程と、  
 g) 次に、化学気相成長法またはスパッタ法で第三二酸化珪素層を形成する工程と、  
 h) 前記薄膜トランジスタのソース及びドレイン領域から引出し配線を形成するために、熱酸化法などにより形成されたゲート絶縁膜となるべき第一二酸化珪素層と、前記の熱処理された第二二酸化珪素層と、第三二酸化珪素層の三層を一度でコンタクトホールを開口する工程と、ゲート領域から引出し配線を形成するために、前記の熱処理された第二二酸化珪素層と、前記第三二酸化珪素層の二層を一度でコンタクトホールを開口する工程を、同時に行なうことを特徴とする薄膜トランジスタとその製造方法からなることを特徴とする。

【0008】

【実施例】以下、本発明について、実施例に基づき詳細に説明する。

【0009】図1から図5は本発明の実施例を工程順に示す図である。図1において、101はソースまたはドレイン領域であり、102はチャネル部分である。103はゲート絶縁膜となる熱酸化法などによって形成された第一二酸化珪素層であり、104は多結晶珪素からなるゲート電極である。105aは多結晶珪素からなるゲート線であり、106aは多結晶珪素からなる容量線である。107は化学気相成長法またはスパッタ法で、1000~3000Åの厚さに形成された第二二酸化珪素層である。次に、図2のようにゲート線105a及び容量線106aの配線の抵抗を低下させるための金属層を、ゲート線105a及び容量線106aを構成している多結晶珪素層と電氣的導通があるように形成するために、第二二酸化珪素層107において、下方にゲート線及び容量線がある場所に開口部108をあける。但し、ゲート線105及び容量線106の上に交差する線を形成する場合は、前記交差する線の断線につながるの、開口部108は前記交差部にはあけなくてもよい。

【0010】次に、金属を基板の全面に形成して、開口部108をあけたときに使用した露光マスクと同じ露光マスクをもちいて、図3のように前記金属層のパターニングを行う。105bは金属からなるゲート線であり、106bは金属からなる容量線であり、各々下方にある多結晶珪素層との接合部での電氣的導通はとれているため105a、bの二層でゲート線となり、106a、bの二層で容量線となる。したがって、ゲート線105及び容量線106の線抵抗は、従来の多結晶珪素のみで形成されているより低下する。ただし、ゲート線105が薄膜トランジスタのチャネル102上にありゲート電極となる場所では、チャネル102の多結晶珪素のダング

リングボンドを解消し、薄膜トランジスタのオン電流特性を向上させることのできる水素化が不可能となるので、ゲート線105bとなる金属層は形成しなくてもよい。次に、図4のように化学気相成長法またはスパッタ法で第三二酸化珪素層109を4000~7000Å堆積して、前記第三二酸化珪素層の膜質を向上させるために、105のゲート線および106の容量線の金属と多結晶珪素がシリサイド化しない温度、または、前記金属が溶融しない温度の400~700℃でアニールを行う。このアニール温度はゲート線105と容量線106に使用する金属の種類によって異なり、シリサイド化をおこなない限り、または、金属を溶融しない限りできるだけ高い温度のほうが、前記第三二酸化珪素層の膜質が向上するので望ましい。

【0011】次に、図5のようにソース及びドレイン領域101からの引出し配線を得るために、第一、第二、第三二酸化珪素層の各々103、107、109の三層を一度にあけるコンタクトホール110aと、ゲート電極104からの引出し配線を得るために、第二、第三二酸化珪素層の各々107、109の二層を一度にあけるコンタクトホール110bを、フッ酸系のエッチングを用いた湿式エッチング又は、反応性イオンエッチング装置(RIE)を用いた乾式エッチングによって同時にあける。

【0012】上述の工程を経て、出来上がった本発明の薄膜トランジスタは、第一二酸化珪素層103と第二二酸化珪素層107のエッチング速度はほぼ等しくなり、コンタクトホール110a、bともにエッチング速度の遅い層と速い層の両方を一度に開口することになる。エッチング速度の遅い層は第一二酸化珪素層103と第二二酸化珪素層107で、エッチング速度の速い層は第三二酸化珪素層109である。つまり、コンタクトホール110aは、膜厚が2000~4000Åの前記のエッチング速度の遅い層と、4000~7000Åの前記のエッチング速度の速い層からなり、コンタクトホール110bは、膜厚が1000~3000Åの前記のエッチング速度の遅い層と4000~7000Åの前記のエッチング速度の速い層からなっている。したがって、コンタクトホール110a、bは開口する層の膜質が大差ないために、形状と大きさの両方がほぼ同じように形成でき、微細化が可能になる。また、コンタクトホール110aは、ソース及びドレイン領域101と熱酸化法などによって形成された第一二酸化珪素層103との界面で、二層間の密着度が優れているために、引出し配線の断線の原因となる逆テーパ形状となることはない。コンタクトホール110bも、ゲート電極104と第二二酸化珪素層107との界面は、900~1000℃の高温アニールの工程を経ているために、二層間の密着はよく逆テーパ形状になることはない。また、本工程では、従来よりフォトリソグラフィーが工程増えるが、露光マス

ク数はわからないので、新たにマスク製作をするための費用はかからない。

【0013】

【発明の効果】以上述べた本発明によれば、ゲート線及び容量線の抵抗は低下させることができ、コンタクトホールはソース及びドレイン領域の上にあける場合と、ゲート電極の上にあける場合でもほぼ同じ大きさと形状にできるので、薄膜トランジスタの微細化が可能になる。したがって、アクティブマトリックスの表示特性を向上させられる大型化、高精細化した薄膜トランジスタを提

【図面の簡単な説明】

【図1、図2、図3、図4、図5】本発明の薄膜トランジスタの構造工程毎の断面図

【符号の説明】

101 ソースまたはドレイン領域

102 チャンネル

103 第一酸化珪素層

104 ゲート電極

105 ゲート線

105a 多結晶珪素層からなるゲート線

105b 金属層からなるゲート線

106 容量線

106a 多結晶珪素層からなる容量線

106b 金属層からなる容量線

107 第二酸化珪素層

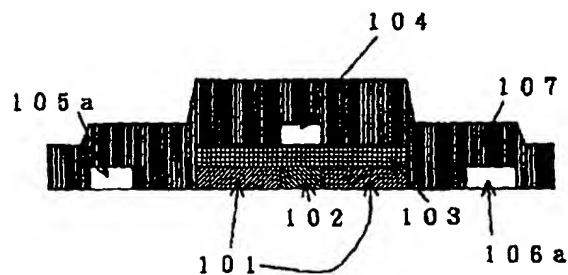
108 第二酸化珪素層の開口部

109 第三酸化珪素層

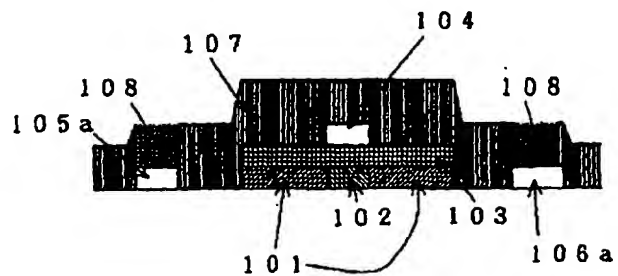
110a ソースまたはドレイン領域の上にあけるコンタクトホール

110b ゲート電極の上にあけるコンタクトホール

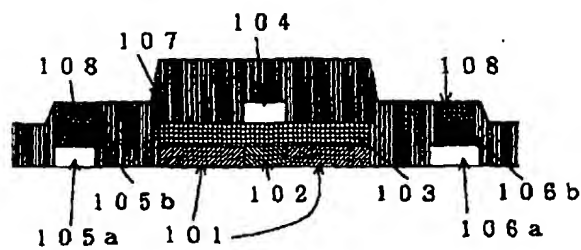
【図1】



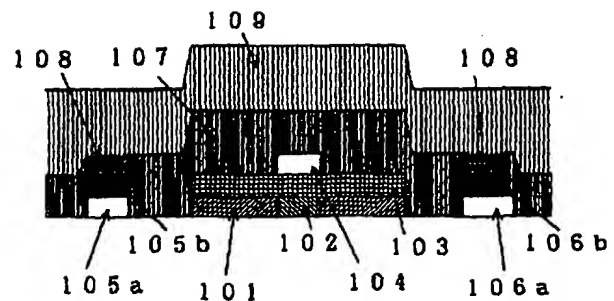
【図2】



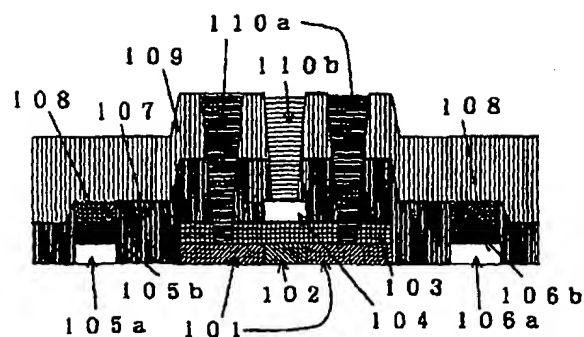
【図3】



【図4】



【図5】



## 【手続補正書】

【提出日】平成 5 年 1 2 月 2 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の薄膜トランジスタの構造工程毎の断面図。

【図 2】本発明の薄膜トランジスタの構造工程毎の断面図。

【図 3】本発明の薄膜トランジスタの構造工程毎の断面図。

【図 4】本発明の薄膜トランジスタの構造工程毎の断面図。

【図 5】本発明の薄膜トランジスタの構造工程毎の断面図。

## 【符号の説明】

1 0 1 ソースまたはドレイン領域

1 0 2 チャネル

1 0 3 第一酸化珪素層

1 0 4 ゲート電極

1 0 5 ゲート線

1 0 5 a 多結晶珪素層からなるゲート線

1 0 5 b 金属層からなるゲート線

1 0 6 容量線

1 0 6 a 多結晶珪素層からなる容量線

1 0 6 b 金属層からなる容量線

1 0 7 第二酸化珪素層

1 0 8 第二酸化珪素層の開口部

1 0 9 第三酸化珪素層

1 1 0 a ソースまたはドレイン領域の上にあけるコンタクトホール

1 1 0 b ゲート電極の上にあけるコンタクトホール

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**